

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11031862 A**

(43) Date of publication of application: **02.02.99**

(51) Int. Cl

H01S 3/18

(21) Application number: **09188634**

(22) Date of filing: **14.07.97**

(71) Applicant: **NEC CORP**

(72) Inventor: **NISHI KENICHI
KASAHARA KENICHI**

(54) **METHOD OF MANUFACTURING
SEMICONDUCTOR SOLID-STATE QUANTUM
STRUCTURE**

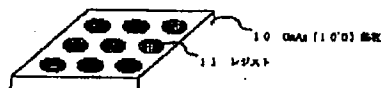
(57) Abstract:

PROBLEM TO BE SOLVED: To provide a method for easily manufacturing a semiconductor solid-state quantum structure, wherein homogeneity in size and composition is good while density is sufficient as well.

SOLUTION: A plurality of regions (resist parts 11) which is, of ruggedness structure, larger than in-surface size of a solid-state quantum structure but smaller than 5 times the in-surface size are formed on a first semiconductor layer (GaAs substrate 10), while a second semiconductor layer ($\text{In}_x\text{Ga}_{1-x}\text{As}$ mixed crystal, etc.), of different lattice constant is laminated, so that a solid-state quantum structure (InAs semiconductor solid quantum structure 13) is manufactured self-alignedly on the plurality of regions (11).

COPYRIGHT: (C)1999,JPO

(a)



(b)



(c)



METHOD OF MANUFACTURING SEMICONDUCTOR SOLID-STATE QUANTUM STRUCTURE

Publication number: JP11031862

Publication date: 1999-02-02

Inventor: NISHI KENICHI; KASAHARA KENICHI

Applicant: NIPPON ELECTRIC CO

Classification:

- international: *H01S5/00; H01L29/06; H01S5/343; H01S5/00; H01L29/02*; (IPC1-7): H01S3/18

- European:

Application number: JP19970188634 19970714

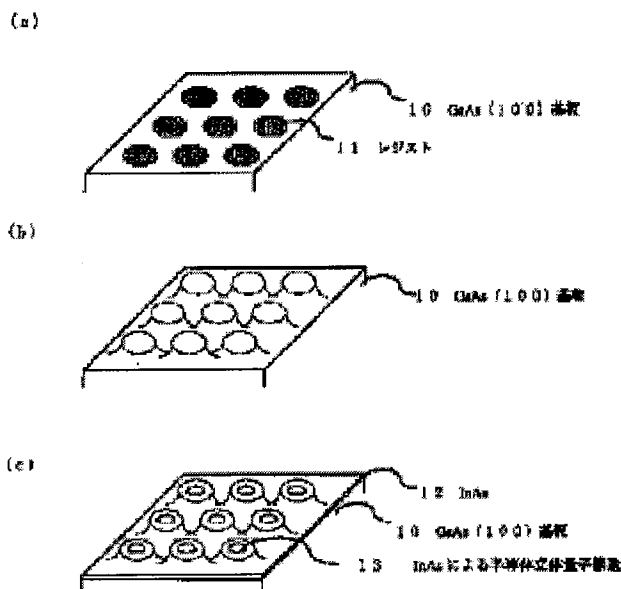
Priority number(s): JP19970188634 19970714

Report a data error here

Abstract of JP11031862

PROBLEM TO BE SOLVED: To provide a method for easily manufacturing a semiconductor solid-state quantum structure, wherein homogeneity in size and composition is good while density is sufficient as well.

SOLUTION: A plurality of regions (resist parts 11) which is, of ruggedness structure, larger than in-surface size of a solid-state quantum structure but smaller than 5 times the in-surface size are formed on a first semiconductor layer (GaAs substrate 10), while a second semiconductor layer (In_xGa_{1-x}As mixed crystal, etc.), of different lattice constant is laminated, so that a solid-state quantum structure (InAs semiconductor solid quantum structure 13) is manufactured self-alignedly on the plurality of regions (11).



Family list

2 family member for: **JP11031862**

Derived from 1 application

Back to JP1103

**1 METHOD OF MANUFACTURING SEMICONDUCTOR SOLID-STATE
QUANTUM STRUCTURE**

Inventor: NISHI KENICHI; KASAHARA KENICHI

Applicant: NIPPON ELECTRIC CO

EC:

IPC: *H01S5/00; H01L29/06; H01S5/343* (+3)

Publication info: **JP2993470B2 B2** - 1999-12-20

JP11031862 A - 1999-02-02

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-31862

(43) 公開日 平成11年(1999) 2月2日

(51) Int.Cl.⁶
H 0 1 S 3/18

識別記号

F I
H 0 1 S 3/18

審査請求 有 請求項の数 8 O L (全 5 頁)

(21) 出願番号 特願平9-188634

(22) 出願日 平成9年(1997) 7月14日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 西 研一

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 笠原 健一

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 若林 忠 (外4名)

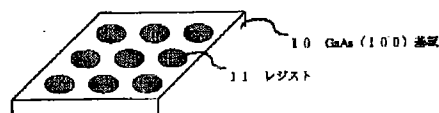
(54) 【発明の名称】 半導体立体量子構造の作製方法

(57) 【要約】

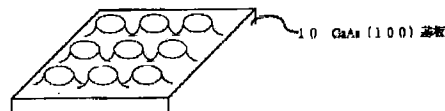
【課題】 サイズや組成の均一性が良好で且つ密度も十分な半導体立体量子構造を簡易に作製できる方法を提供する。

【解決手段】 立体量子構造の面内サイズより大きく且つ該面内サイズの5倍以下の大きさの領域であって、凹凸構造からなる複数の領域(レジスト部分11)を第一の半導体層(GaAs基板10)の表面に形成し、格子常数の異なる第二の半導体層($\text{In}_x\text{Ga}_{1-x}\text{As}$ 混晶等)を積層し、複数の領域(11)上に自己形成的に立体量子構造(InAs 半導体立体量子構造13)を作製することを特徴とする半導体立体量子構造の作製方法。

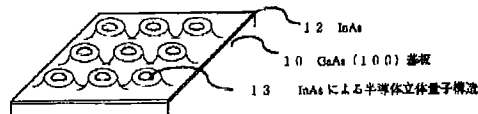
(a)



(b)



(c)



【特許請求の範囲】

【請求項1】 ある主面方位上の第一の半導体層上に、格子常数の異なる第二の半導体層を積層することによって、自己形成的に立体量子構造を作製する方法において、

立体量子構造の面内サイズより大きく且つ該面内サイズの5倍以下の大きさの領域であって、領域間が該主面方位とは異なる面方位を有する面または面方位指数を有さない面により分断された、該主面方位と同一の面方位を有する複数の領域を第一の半導体層の表面に形成し、該複数の領域上に自己形成的に立体量子構造を作製することを特徴とする半導体立体量子構造の作製方法。

【請求項2】 前記領域の大きさが、立体量子構造の面内サイズの2倍以上5倍以下である請求項1記載の半導体立体量子構造の作製方法。

【請求項3】 前記領域の形状が、一辺の長さが同じである多角形である請求項1または2記載の半導体立体量子構造の作製方法。

【請求項4】 前記多角形の領域は主面方位に対して垂直な面により分断されており、複数の該多角形の領域同士は交互に凹凸形状を構成する位置関係にある請求項3記載の半導体立体量子構造の作製方法。

【請求項5】 前記主面方位が(100)面である請求項1〜4の何れか一項記載の半導体立体量子構造の作製方法。

【請求項6】 第一の半導体がGaAsまたはGaAsに格子整合する三五族半導体混晶であり、第二の半導体が $\text{In}_x\text{Ga}_{1-x}\text{As}$ 混晶で、In組成比 x は0より大きく1以下である請求項1〜5の何れか一項記載の半導体立体量子構造の作製方法。

【請求項7】 第一の半導体がInPまたはInPに格子整合する三五族半導体混晶であり、第二の半導体が $\text{In}_x\text{Ga}_{1-x}\text{As}$ 混晶で、In組成比 x は0.53より大きく1以下である請求項1〜5の何れか一項記載の半導体立体量子構造の作製方法。

【請求項8】 第一の半導体がInPまたはInPに格子整合する三五族半導体混晶であり、第二の半導体が $\text{InAs}_x\text{P}_{1-x}$ 混晶で、As組成比 x は0より大きく1以下である請求項1〜5の何れか一項記載の半導体立体量子構造の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、低閾値の半導体レーザの活性層などに用いられる半導体立体量子構造の作製方法に関する。

【0002】

【従来の技術】従来より、高品質の半導体立体量子構造の作製方法として、微細な島状構造が形成されるように、格子常数の異なる半導体を積層する手法が多く用いられている。例えば、GaAs層上に、GaAsと格子

常数の異なるInGaAsを成長させて立体量子構造を作製する方法が、アプライド・フィジックス・レターズ、63巻、23号、1993年、3203-3205頁(Applied Physics Letters, volume 63, No.23, 1993 pp.3203-3205)に、ディ・レオナルドら(D. Leonard et al.)によって報告されている。

【0003】例えば、このような方法において、GaAsの(100)面上にInGaAsを分子線エピタキシー法によって成長させれば、直径30nm程度の量子ドット構造が 10^{10}cm^{-2} 程度以上の高密度で形成できる。

【0004】

【発明が解決しようとする課題】しかしながら、このような従来技術による自己形成的な半導体立体量子構造の作製方法においては、以下の課題が存在する。

【0005】まず、平坦な基板の上に半導体立体量子構造を作製する場合、半導体立体量子構造のサイズは通常10〜20パーセント程度ばらつく。自己形成的な作製手法を用いる場合、このばらつきは、半導体立体量子構造の材料、成長条件、形成面の方位等によらずこの程度の値となる。したがって、半導体立体量子構造からの発光線幅については、本来期待されている狭線幅は実現できず、通常のバルク半導体からの発光線幅程度以上の広がりとなってしまふ。

【0006】また、基板に、エッチング等の手段で選択的に半導体立体量子構造が形成され易い部分を作製し、そこに半導体立体量子構造を選択的に形成する手法も存在する。しかし、この手法においては、半導体立体量子構造が形成される1つのパターンが半導体立体量子構造の大きさの10倍程度の広い領域よりなるので、半導体立体量子構造の密度が低下し、その結果十分な発光強度を得ることも困難である。

【0007】以上の理由から、従来技術においては、自己形成的な半導体立体量子構造を、通常のバルク半導体や量子井戸構造からの発光線幅以下の発光を実現できるほど良好な均一性を持つように作製することは困難である。

【0008】本発明の目的は、このような従来技術の課題を解決し、サイズや組成の均一性が良好で且つ密度も十分な半導体立体量子構造を簡易に作製できる方法を提供することにある。

【0009】

【課題を解決するための手段】本発明は、ある主面方位上の第一の半導体層上に、格子常数の異なる第二の半導体層を積層することによって、自己形成的に立体量子構造を作製する方法において、立体量子構造の面内サイズより大きく且つ該面内サイズの5倍以下の大きさの領域であって、領域間が該主面方位とは異なる面方位を有する面または面方位指数を有さない面により分断された、該主面方位と同一の面方位を有する複数の領域を第一の

半導体層の表面に形成し、該複数の領域上に自己形成的に立体量子構造を作製することを特徴とする半導体立体量子構造の作製方法である。

【0010】本発明においては、半導体立体量子構造を、平坦な基板上に製造するのではなく、異なる面方位の面で分断された特定の大きさ（特定の面積）の領域を含む表面凹凸構造を作製し、この複数の領域上に1つずつ半導体立体量子構造を作製する。したがって、異なる面方位の面上に供給された第二の半導体を構成する原子は、その領域まで移動できず、その領域内上に供給された第二の半導体を構成する原子のみにより、非常に均一なサイズの多数の半導体立体量子構造を作製できる。しかも、この領域は適度に小さいので、半導体立体量子構造の密度や発光強度の点でも問題は生じない。特に、多数の各領域を同じ面積にしておけば、構造形成に使用される原子の総量も各領域の面積に比例して同じになるので、形状、サイズ、組成の均一性の高い多数の半導体立体量子構造を製造できる。

【0011】

【発明の実施の形態】以下、本発明の好適な実施形態について説明する。

【0012】本発明において、立体量子構造を形成する為の第一の半導体層上の領域の大きさは、立体量子構造の面内サイズより大きく且つ面内サイズの5倍以下（面積比）の範囲内で、適宜決定すれば良い。特に、立体量子構造の面内サイズの2倍以上5倍以下（面積比）にすることが好ましい。同じ立体量子構造を多数製造するには、同じ面積の領域を多数形成すればよい。

【0013】この領域の形状は特に限定されず、例えば後述する実施例1のように円形であってもよいし、また例えば後述する実施例2のように一辺の長さが同じである多角形（四角形等）であってもよい。この多角形（四角形等）の場合、その多角形の領域は主面方位に対して垂直な面により分断され、複数の多角形の領域同士は交互に凹凸形状を構成する位置関係にすることができる。

【0014】この領域の面方位は、第一の半導体層が形成されている主面方位（成長主面）と同一であればよく、特に限定されない。ただし、通常自己形成的に半導体立体量子構造を作製する際に用いられる（100）面であることが好ましい。この領域の面方位が（100）面であれば、一般に半導体立体量子構造の結晶成長の条件が広がる。

【0015】この複数の領域間を分断する面は、主面方位（成長主面）とは異なる面方位を有する面、または面方位指数を有さない面である。例えば後述する実施例1のように曲面であってもよいし、また例えば後述する実施例2のように主面方位に対して垂直な面であってもよい。

【0016】本発明において、第一の半導体および第二の半導体に特に制限は無く、自己形成的に立体量子構造

を作製する為に従来より使用可能なことが知られた得る各種の半導体を使用できる。特に、第一の半導体としては、GaAsまたはGaAsに格子整合する三五族半導体混晶、InPまたはInPに格子整合する三五族半導体混晶が好ましく、第二の半導体としては、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 混晶（In組成比 x は0より大きく1以下）、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 混晶（In組成比 x は0.53より大きく1以下）、 $\text{InAs}_x\text{P}_{1-x}$ 混晶（As組成比 x は0より大きく1以下）が好ましい。

【0017】ここで、第一の半導体がGaAsまたはGaAsに格子整合する三五族半導体混晶である場合、良好な半導体量子構造を実現する点から、第二の半導体は $\text{In}_x\text{Ga}_{1-x}\text{As}$ 混晶（In組成比 x は0より大きく1以下）であることが好ましい。また、第一の半導体がInPまたはInPに格子整合する三五族半導体混晶である場合、第二の半導体は $\text{InAs}_x\text{P}_{1-x}$ 混晶（As組成比 x は0より大きく1以下）であることが好ましい。

【0018】

【実施例】以下、本発明の実施例について図面を参照して詳細に説明する。

【0019】<実施例1>図1は、実施例1の半導体立体量子構造の作製方法の工程図である。

【0020】まず、図1（a）に示すように、GaAs基板10の（100）表面に、電子ビーム露光により直径50nm程度の円形の多数の領域だけにレジスト11が残るように露光した。ここで、円形領域のピッチは100nmとした。続いて、このレジスト11をマスクとし、図1（b）に示すように、ドライエッチにより10nm程度の厚さだけエッチングした。ここで、エッチされた領域は、特定の面方位指数を有さない曲がった面である。レジストを除去した後、分子線エピタキシー法を用いて、図1（c）に示すように、この基板の表面上にInAs12を0.5nm程度成長させて面内サイズ（直径）約20nmの多数の半導体立体量子構造（InAs量子ドット）13を自己形成的に作製した。

【0021】このように、平坦な（100）GaAs上にInAsを成長すると、成長膜厚約0.5nmで、直径20nm程度の半導体立体量子構造が自己形成的に成長することが知られている。本実施例では、エッチされずに残った直径50nmの平坦領域の上に、それぞれ一つのInAs半導体立体量子構造が形成された。これは、平坦部以外の表面に付着した原子は段差部を越えて移動することが困難なためである。また、非平坦部に付着したInAsに関しては、表面領域に対して供給されたInAsの量が半導体立体量子構造形成の臨界膜厚を越さないため、半導体立体量子構造は形成されないためである。

【0022】ここで、各平坦部に一つずつ形成された半導体立体量子構造は、1つの構造を形成する原料となる原子は、各平坦領域に供給される原子に他ならず、この

量は各領域の面積に比例するためほとんど一定であった。したがって、各部の面積を精度良く同一にすることによって同量の原子から半導体立体量子構造が形成されるため、そのサイズは非常に均一なものとなった。

【0023】図2は、本実施例によるInAs立体量子構造の、面内サイズ分布を示すグラフである。このグラフに示すように、サイズの分布幅は約2パーセントと、非常に小さくなっていた。

【0024】＜実施例2＞図3は、実施例2の半導体立体量子構造の作製方法の工程図である。

【0025】まず、図3(a)に示すように、GaAs基板10の(100)表面に、電子ビーム露光によりレジスト11に一辺50nmの市松模様のパターンを形成した。しかる後、このパターンをマスクとし、図3

(b)に示すように、ドライエッチにより凸部と凹部の間に5nm程度の段差をつけた。この段差部は、特定の面方位指数を有さない。この基板を用い、分子線エピタキシー法を用いて表面の酸化膜を除去後、図3(c)に示すように、表面上にInAs12を0.5nm程度成長させて、面内サイズ約20nmの多数の半導体立体量子構造(InAs量子ドット)13を自己形成的に作製した。

【0026】本実施例では、各凸部、凹部に半導体立体量子構造が1つつ形成された。ここでも、1つの半導体立体量子構造を形成する原料となる原子は、各領域ごとに一定なため、非常に均一な半導体立体量子構造が実現された。

【0027】＜実施例3＞実施例1、2において、GaAs上に成長する半導体を $\text{In}_{0.5}\text{Ga}_{0.5}\text{As}$ に変更したこと以外は、同様の工程を実施したところ、同様の良好な効果が得られた。このような混晶系材料による半導体立体量子構造では、各構造の間での組成の分布の制御も必要であるが、本実施例によれば、同一量の原子から1つの半導体立体量子構造が作製され、かつIn、Gaともに各領域への供給量はほとんど同一であるため、組成も均一な構造が実現された。また、本実施例による構造をGaAsで埋め込んだ構造の、アルゴンレーザを励起源とした室温におけるフォトルミネッセンススペクトルを測定したところ、組成およびサイズの均一化により、半値幅として約15meVという非常に良好な値が得られた。

【0028】＜実施例4＞実施例2において、基板としてInPを用いたこと以外は、同様の工程を実施した。

ここで、表面としては(100)面を用い、また反応性ドライエッチ技術によって、(100)面よりなる各平坦部分の間を、(100)面に垂直な面とした。この表面の上にガスソース分子線エピタキシーによって、InAsを0.4nm成長させた。すると、実施例2と同様に、各平坦部につづつInAsよりなる立体量子構造が形成された。この構造は、実施例2の説明で用いた図3(c)と同様であり、また半導体立体量子構造の面内サイズのばらつきも、約2パーセントと非常に良好であった。

【0029】以上の実施例1～4では、GaAs基板、またはInP基板上にパターンを形成し、その上に至半導体による立体量子構造を自己形成的に作製する工程について述べたが、本発明において使用する材料系は、これらの基板上のものに限定されるものではなく、他のIII-V族半導体、またII-VI族半導体等を用いても差し支えない。

【0030】また、パターン形成方法についても、電子ビーム露光技術、ドライエッチ技術によるものだけでなく、他の露光技術、エッチング技術を用いてもよいし、また結晶成長上現れる半導体表面上の特異な表面構造を利用してもよい。

【0031】

【発明の効果】以上説明したように、本発明の作製方法によれば、サイズや組成の分布が非常に小さく、それらの均一性が良好で、且つ密度も十分な半導体立体量子構造を簡易に作製できる。特に、本発明により半導体立体量子構造のサイズや組成等の均一性を向上すると、発光線幅なども究極的に小さくすることが可能になるので、本発明により作製した半導体立体量子構造は、理想的な特性を有する半導体レーザの活性層(狭発光幅を利用する低閾値の半導体レーザの活性層)等として極めて有用である。

【図面の簡単な説明】

【図1】本発明の実施例1の工程図である。

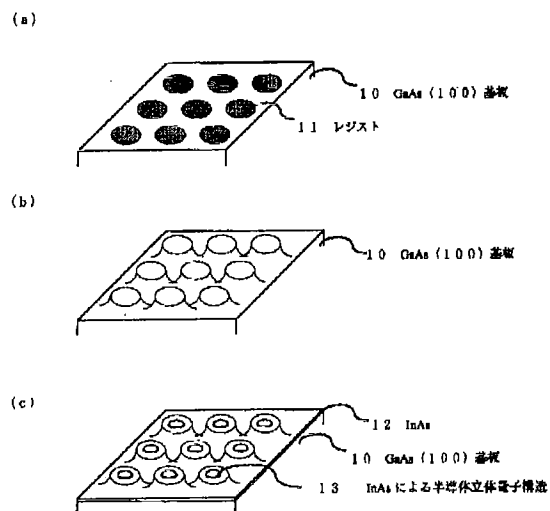
【図2】実施例1において作製した半導体立体量子構造の面内サイズの分布を示すグラフである。

【図3】本発明の実施例2の工程図である。

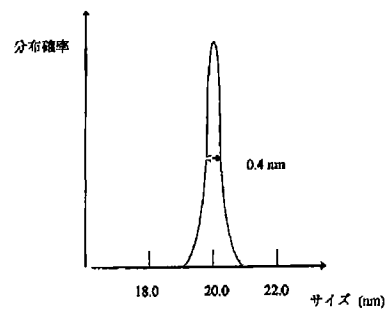
【符号の説明】

- 10 GaAs(100)基板
- 11 レジスト
- 12 InAs
- 13 InAsによる半導体立体量子構造

【図1】



【図2】



【図3】

